

DIALOG(R)File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

013059047 **Image available**

WPI Acc No: 2000-230915/200020

XRPX Acc No: N00-174122

Motor drive unit for electric vehicles, has driving controller equipped with delay unit which delays PWM driving of each FET in pair of FETs so that FETs are driven at different timing

Patent Assignee: HONDA MOTOR CO LTD (HOND)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000050422	A	20000218	JP 98218327	A	1998073	200020 B

Priority Applications (No Type Date): JP 98218327 A 19980731

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000050422	A		8 B60L-015/28	

Abstract (Basic): JP 2000050422 A

NOVELTY - The driving controller (2) is equipped with delay unit which delays the pulse width modulation (PWM) driving of each FET in a pair of FETs. The driving controller delays the pulse width modulation of each FET so that each FET in FET pair is driven at different timings.

USE - For driving motor in electric vehicles.

ADVANTAGE - Since the PWM driving of each FET is performed at different timing, through-current flow is reduced, thereby reduces power consumption of FET and radio noise resulting from through-current. DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of electric motor drive unit of vehicles. (2) Driving controller.

Dwg.1/9

Title Terms: MOTOR; DRIVE; UNIT; ELECTRIC; VEHICLE; DRIVE; CONTROL; EQUIP;
DELAY; UNIT; DELAY; PWM; DRIVE; FET; PAIR; FET; SO; FET; DRIVE; TIME

Derwent Class: Q14; Q22; X13; X21

International Patent Class (Main): B60L-015/28

International Patent Class (Additional): B62D-005/04; H02P-007/29

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): X13-G01A1B; X13-U01; X21-A04

?

(51)Int.Cl.⁷

識別記号

F I

ターミナル(参考)

B 6 0 L 15/28

B 6 0 L 15/28

K 3 D 0 3 3

H 0 2 P 7/29

H 0 2 P 7/29

C 5 H 1 1 5

// B 6 2 D 5/04

B 6 2 D 5/04

5 H 5 7 1

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21)出願番号

特願平10-218327

(22)出願日

平成10年7月31日(1998.7.31)

(71)出願人 000005326

本田技研工業株式会社

東京都港区南青山二丁目1番1号

(72)発明者 野呂 栄樹

埼玉県和光市中央1丁目4番1号 株式会社
本田技術研究所内

(72)発明者 向 良信

埼玉県和光市中央1丁目4番1号 株式会社
本田技術研究所内

(74)代理人 100067356

弁理士 下田 容一郎

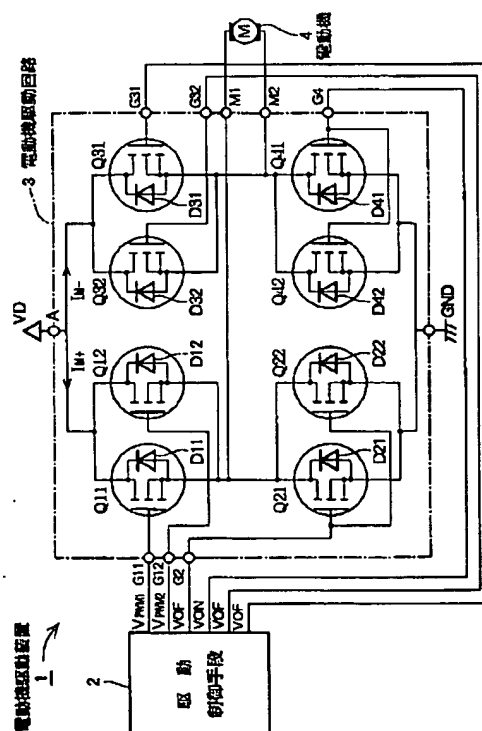
最終頁に続く

(54)【発明の名称】 車両の電動機駆動装置

(57)【要約】

【課題】 FET (電界効果トランジスタ) の逆方向ダイオードに流れる貫通電流を低減し、貫通電流に起因するラジオノイズの低減ならびに貫通電流が流れるFETの消費電力の低減を図ることができる車両の電動機駆動装置を提供する。

【解決手段】 遅延手段6を備えた駆動制御手段2と、電動機駆動回路3と、電動機4とからなる車両の電動機駆動装置1。



【特許請求の範囲】

【請求項1】 並列接続した複数のFET（電界効果トランジスタ）を1組としてブリッジ回路の一边を形成し、このブリッジ回路の入力端子間に電源を接続するとともに出力端子間に電動機を接続し、前記ブリッジ回路の対角上の対をなす1組の複数のFETをPWM駆動するとともに、他の1組の複数のFETをオン駆動する車両の電動機駆動装置において、PWM駆動する1組のFETを、個々のFETに対して異なるタイミングで駆動する駆動制御手段を備えたことを特徴とする車両の電動機駆動装置。

【請求項2】 前記駆動制御手段は、前記個々のFETを駆動するタイミングを遅延する遅延手段を備えたことを特徴とする請求項1記載の車両の電動機駆動装置。

【請求項3】 前記遅延手段は、前記個々のFETのゲート抵抗と、ゲートソース間の浮遊容量との遅延回路で形成することを特徴とする請求項2記載の車両の電動機駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電動機を駆動する車両の電動機駆動装置に係り、特にPWM駆動される複数のFETの駆動タイミングを変えて電動機を駆動する車両の電動機駆動装置に関する。

【0002】

【従来の技術】従来の車両の電動機駆動装置において、2個のFET（電界効果トランジスタ）を並列接続したものを1組とし、4組でブリッジ回路を形成して電動機を正回転駆動または逆回転駆動することにより、例えば電動機が発生するアシストトルクをステアリング系に付勢するように構成されたものが知られている。

【0003】図7に従来の車両の電動機駆動装置に用いられる電動機駆動回路図を示す。図7において、電動機駆動装置の電動機駆動回路50は、ドレイン、ゲート、ソースのそれぞれを接続した2個の並列NチャネルMOSFET（電界効果トランジスタ）Q1、Q2、Q3、Q4でブリッジ回路を形成し、Q1およびQ3のドレインを電源VDに接続し、Q2およびQ4のソースを接地（GND）するとともに、Q1のソースとQ2のドレインの接続点に電動機51の一方の端子が接続され、Q3のソースとQ4のドレインの接続点に電動機51の他方の端子が接続される。

【0004】なお、Q1～Q4にそれぞれ2個のFET（電界効果トランジスタ）を用いている理由は、電動機51に流れる電流が多く、1個のFETでは電流容量が不足するような場合に、2個のFETに分流してFETの電流定格オーバを防止するためである。

【0005】FET（電界効果トランジスタ）Q1～Q4のダイオードD11～D41は、Q1～Q4のチャネルに形成され、ドレイン側がカソード、ソース側がアノ

ードの逆方向ダイオードである。

【0006】電動機駆動回路50を用いた電動機51の駆動は、図示しない駆動制御回路からFET（電界効果トランジスタ）Q1～Q4のゲートG1～G4に駆動制御信号を供給して行う。

【0007】電動機51を正回転させる場合は、ブリッジ回路の対角上の一方の対をなす1組のFET（電界効果トランジスタ）Q1のゲートG1をPWM（Pulse width Modulation）の駆動制御信号VPWMで駆動するとともに、他の1組のFET（電界効果トランジスタ）Q4のゲートG4をオンの駆動制御信号VONで駆動する。

【0008】これにより、電源VD→Q1→端子M1→電動機51→端子M2→Q4→GNDの経路で電動機電流IM+が流れ、電動機51は正回転する。この時、ブリッジ回路の対角上の他方の対をなす2組のFET（電界効果トランジスタ）Q2およびQ3のゲートG2およびG3をオフの駆動制御信号VOFでオフ制御する。

【0009】一方、電動機51を逆回転させる場合には、FET（電界効果トランジスタ）Q3のゲートG3をPWM駆動制御信号VPWMで駆動するとともに、Q2のゲートG2をオン駆動制御信号VONで駆動する。

【0010】これにより、電源VD→Q3→端子M2→電動機51→端子M1→Q2→GNDの経路で電動機電流IM-（図示せず）が流れ、電動機51は逆回転する。この時、FET（電界効果トランジスタ）Q1およびQ4のゲートG1およびG4をオフ駆動制御信号VOFでオフ制御する。

【0011】図8に従来の電動機駆動回路の駆動制御信号（VPWM、VON）と回生電流（IS）および貫通電流（IK）のタイミングチャートを示す。なお、このタイミングチャートは、図7で電動機51を正回転させた状態であり、FET（電界効果トランジスタ）Q1のゲートG1を駆動制御信号VPWM、FET（電界効果トランジスタ）Q4のゲートG4を駆動制御信号VONで駆動した場合のFET（電界効果トランジスタ）Q2の逆方向ダイオードD21およびD22に流れる回生電流ISおよび貫通電流IKを示す。

【0012】図8において、FET（電界効果トランジスタ）Q1のゲートG1は、（a）図に示すように時間t=0からt1まではHレベル、t1からt2まではLレベル、t2からt3まではHレベル、t3からt4はLレベルの駆動制御信号VPWMで駆動される。一方、（b）図に示すようにFET（電界効果トランジスタ）Q4は、時間t=0からt4までHレベルの駆動制御信号VONで駆動される。

【0013】図9に図8に対応した電動機駆動回路の等価回路を示す。（a）図は時間t=0からt1に対応する等価回路、（b）図は時間t1からt2に対応する等価回路、（c）図は時間t2の駆動制御信号VPWMがLレベルからHレベルへの変化に対応する等価回路を示

す。

【0014】時間 $t = 0$ から t_1 の期間に対応する (a) 図において、FET (電界効果トランジスタ) Q1 は駆動制御信号 VPWM (H レベル) で駆動されてオン状態にあり、FET (電界効果トランジスタ) Q4 は駆動制御信号 VON (H レベル) で駆動されてオン状態にあるため、電源 VD → Q1 → 電動機 51 → Q4 → GND の経路で電動機電流 I_M が流れ、電動機 51 は正回転する。

【0015】時間 t_1 から t_2 に対応する (b) 図では、FET (電界効果トランジスタ) Q1 は駆動制御信号 VPWM (L レベル) で駆動されてオフ状態にあり、FET (電界効果トランジスタ) Q4 は駆動制御信号 VON (H レベル) で駆動されてオン状態にあるため、電源 VD は供給されず、電動機 51 の逆起電力源 VGS により、VGS (+ 側) → Q4 → D2 (図 7 に示す Q2 の逆方向ダイオード D21 と D22 の並列接続したもの) → VGS (− 側) の経路で再生電流 IS が流れる。

【0016】

【発明が解決しようとする課題】従来の電動機駆動回路は、図 8 の (c) 図および図 9 の (c) 図に示すように、時間 t_2 の駆動制御信号 VPWM が L レベルから H レベルに切り替わる場合に、再生電流 IS が流れている FET (電界効果トランジスタ) Q2 の逆方向ダイオード D2 (図 7 に示す Q2 の逆方向ダイオード D21 と D22 の並列接続したもの) が、駆動制御信号 VPWM (H レベル) で Q1 が駆動されてオン状態になるため、ダイオード D2 が急激に逆バイアスされるが、時間 t_2 から極めて短時間 τ_A (100 ~ 300 ns 程度) のリカバリタイムにはダイオード D2 (破線表示) のカソードからアノードを介して貫通電流 IK が流れる。

【0017】図 9 の (c) 図に示すように、時間 t_2 で駆動制御信号 VPWM が L レベルから H レベルになると、FET (電界効果トランジスタ) Q1 および Q4 はオン状態となり、電源 VD → Q1 → 電動機 51 → Q4 → GND の経路で電動機電流 I_M が流れ、電動機 51 は正回転する。

【0018】同時に、時間 t_2 からダイオード D2 のリカバリタイム τ_A の期間に、ダイオード D2 (破線表示) には、電源 VD → Q1 → D2 (カソードからアノード) → GND の経路で貫通電流 IK が流れる。

【0019】この貫通電流 IK は、駆動制御信号 VPWM が L レベルから H レベルに変化する毎に流れるので、貫通電流 IK に対応した高周波のノイズが電動機駆動回路 50 から放射され、カーラジオ等に受信されてノイズ音が発生する課題がある。

【0020】また、貫通電流 IK が流れることによって FET (電界効果トランジスタ) Q2 が消費電力が増加して Q2 が発熱する課題がある。

【0021】なお、図 8 および図 9 では、FET (電界

効果トランジスタ) Q1 が PWM 駆動されて電動機 51 が正回転される場合を例に説明したが、FET (電界効果トランジスタ) Q3 が PWM 駆動されて電動機 51 が逆回転される場合には、FET (電界効果トランジスタ) Q4 の逆方向ダイオード D41 および D42 に貫通電流が流れる。

【0022】この発明はこのような課題を解決するためなされたもので、その目的はダイオードの貫通電流を低減してラジオノイズの低減ならびに FET の消費電力の低減を図ることにある。

【0023】

【課題を解決するための手段】前記課題を解決するためこの発明に係る車両の電動機駆動装置は、並列接続した複数の FET (電界効果トランジスタ) を 1 組としてブリッジ回路の一边を形成し、このブリッジ回路の入力端子間に電源を接続するとともに出力端子間に電動機を接続し、ブリッジ回路の対角上の対をなす 1 組の複数の FET を PWM 駆動するとともに、他の 1 組の複数の FET をオン駆動する車両の電動機駆動装置において、PWM 駆動する 1 組の FET を、個々の FET に対して異なるタイミングで駆動する駆動制御手段を備えたことを特徴とする。

【0024】この発明に係る車両の電動機駆動装置は、PWM 駆動する 1 組の FET を、個々の FET に対して異なるタイミングで駆動する駆動制御手段を備えたので、ダイオードに貫通電流を流す原因となる PWM 駆動の FET を 1 個に制限することができ、他の FET はダイオードのリカバリタイム後に PWM 駆動することによって貫通電流を低減することができる。

【0025】また、この発明に係る駆動制御手段は、個々の FET を駆動するタイミングを遅延する遅延手段を備えたことを特徴とする。

【0026】この発明に係る駆動制御手段は、FET を PWM 駆動するタイミングを遅延する遅延手段を備えたので、1 個の FET を除き他の FET をダイオードのリカバリタイム後に PWM 駆動して貫通電流と無関係にすることができる。

【0027】さらに、この発明に係る遅延手段は、個々の FET のゲート抵抗と、ゲートソース間の浮遊容量との遅延回路で形成することを特徴とする。

【0028】この発明に係る遅延手段は、個々の FET のゲート抵抗と、ゲートソース間の浮遊容量との遅延回路で形成するので、ゲート抵抗値を変えるのみで遅延回路を構成することができる。

【0029】

【発明の実施の形態】以下、この発明の実施の形態を添付図面に基づいて説明する。なお、本実施の形態では、ブリッジ回路を構成する 1 組みの並列接続された FET の数は 2 個の場合を例に説明する。図 1 はこの発明に係る車両の電動機駆動装置の実施の形態基本構成図であ

る。

【0030】図1において、車両の電動機駆動装置1は、駆動制御手段2、電動機駆動回路3、電動機4を備える。駆動制御手段2は、電動機4を駆動するための信号、例えば電動パワーステアリング装置における操舵トルクに対応した信号、4輪駆動の後輪転舵における電動機駆動信号または電動スライドドア装置における電動機駆動信号などをPID（比例・積分・微分）制御するPIDコントローラ、PIDコントローラからの出力信号に基づいてPWM信号を発生するPWM信号発生手段、PWM信号発生手段から出力されるPWM駆動制御信号VPWMを遅延させる遅延手段を備える。

【0031】電動機駆動回路3は、並列接続した2個のFET（NチャネルMOS電界効果トランジスタ）を1組（Q11とQ12、Q21とQ22、Q31とQ32、Q41とQ42）としてそれぞれブリッジ回路の一边を形成する。FET（電界効果トランジスタ）Q11とQ12のドレインの接続点およびQ31とQ32のドレインの接続点を電源VD（例えば、12V）に接続し、Q21とQ22のソースの接続点およびQ41とQ42のソースの接続点を接地（GND）する。

【0032】また、FET（電界効果トランジスタ）Q11とQ12のソースの接続点およびQ21とQ22のドレインの接続点を電動機4の一方の端子M1に接続するとともに、Q31とQ32のソースの接続点とQ41とQ42のドレインの接続点を電動機4の他方の端子M2に接続する。

【0033】FET（電界効果トランジスタ）Q11のゲートG11およびQ12のゲートG12をそれぞれ独立して駆動制御手段2に接続する。FET（電界効果トランジスタ）Q21のゲートとQ22のゲートの共通接続点であるゲートG2を駆動制御手段2に接続する。

【0034】一方、FET（電界効果トランジスタ）Q31のゲートG31およびQ32のゲートG32をそれぞれ独立して駆動制御手段2に接続する。FET（電界効果トランジスタ）Q41のゲートとQ42のゲートの共通接続点であるゲートG4を駆動制御手段2に接続する。

【0035】なお、FET（電界効果トランジスタ）Q11～Q42の逆方向ダイオードD11～D42はNチャネルFETのチャンネルに形成される寄生ダイオードを表わす。

【0036】電動機駆動回路3は、Q11およびQ12をPWM駆動し、Q41およびQ42をオン駆動するとともに、Q21、Q22、Q31、Q32をオフ駆動することにより、電源VD→Q11、Q12→端子M1→電動機4→端子M2→Q41、Q42→GNDの経路で電動機電流IM+が流れ、電動機4は正回転する。

【0037】一方、電動機駆動回路3は、Q31およびQ32をPWM駆動し、Q21およびQ22をオン駆動

するとともに、Q11、Q12、Q41、Q42をオフ駆動することにより、電源VD→Q31、Q32→端子M2→電動機4→端子M1→Q21、Q22→GNDの経路で電動機電流IM-が流れ、電動機4は逆回転する。

【0038】電動機4を正回転させる場合に、駆動制御手段2からFET（電界効果トランジスタ）Q11のゲートG11に駆動制御信号VPWM1を供給し、Q12のゲートG12に駆動制御信号VPWM2を供給するとともに、Q41およびQ42の共通ゲートG4に駆動制御信号VONを供給する。同時に、FET（電界効果トランジスタ）Q31のゲートG31、Q32のゲートG32、Q21およびQ22の共通接続ゲートG2に駆動制御信号VOFを供給する。

【0039】駆動制御信号VPWM2は、駆動制御信号VPWM1に対してQ21およびQ22の寄生ダイオードD21およびD22のリカバリタイム τ_A を超える遅延時間 t_D （ $> \tau_A$ ）を設定する。

【0040】電動機4を正回転駆動中に、駆動制御信号VPWM1、VPWM2がLレベルの期間でFET（電界効果トランジスタ）Q11、Q12がオフ、駆動制御信号VONの期間でQ41、Q42がオン状態の時に、電動機4の逆起電力により、電動機4→端子M2→Q41、Q42→ダイオードD21、D22→端子M1→電動機4の経路で再生電流IS（図8、図9参照）が流れる。

【0041】ダイオードD21、D22に再生電流ISが流れている状態から駆動制御信号VPWM1がHレベルとなってFET（電界効果トランジスタ）Q11がオン状態になると、Q11のソースは電源VD（例えば、12V）の電位となり、ダイオードD21、D22のカソード側に電源VDが印加される。

【0042】再生電流ISが流れているダイオードD21、D22のカソード側に電源VDが印加された瞬間、寄生ダイオードであるD21、D22は直ちにダイオード特性を有することができず、リカバリタイム τ_A （100～300ns程度）経過後にダイオード特性（ダイオード逆特性）を有するようになる。

【0043】リカバリタイム τ_A （100～300ns程度）期間中は、寄生ダイオードD21、D22のカソード側からアノード側に貫通電流IK（図8、図9参照）が流れる。この貫通電流IKは、FET（電界効果トランジスタ）Q11の電流容量に関係し、電流容量が大きい程、貫通電流IKも多い傾向にある。

【0044】従って、ダイオードD21、D22に再生電流ISが流れている状態からFET（電界効果トランジスタ）Q11およびQ12が同時にオン状態になると、ダイオードD21、D22に流れる貫通電流IKが多くなる。

【0045】FET（電界効果トランジスタ）Q11が駆動制御信号VPWM1でオンされ、ダイオードD21、D22のリカバリタイム τ_A （100～300ns程度）

よりも長い遅延時間 $t_D (> \tau_A)$ 経過後に、駆動制御信号VPWM2でFET（電界効果トランジスタ）Q12をオンすることにより、Q12のオンに伴うダイオードD21、D22の貫通電流IKを防止することができる。

【0046】このように、この発明に係る車両の電動機駆動装置1は、PWM駆動する1組のFET（Q11、Q12）を、個々のFETに対して異なるタイミングで駆動する駆動制御手段2を備えたので、ダイオードD21、D22に貫通電流IKを流す原因となるPWM駆動のFETを1個（Q11）に制限することができ、他のFET（Q12）はダイオードD21、D22のリカバリタイム後にPWM駆動することによって貫通電流IKを低減することができる。

【0047】図2はこの発明に係る駆動制御手段の実施の形態要部ブロック構成図である。図2において、駆動制御手段2は、PWM信号発生手段5、遅延手段6を備える。PWM信号発生手段5は、電動機4を駆動する信号（例えば、操舵トルク信号等）に対応して電動機駆動回路3を駆動する駆動制御信号VPWM1を発生し、FET（電界効果トランジスタ）Q11のゲートG11に供給する。

【0048】遅延手段6は、例えばタイマやゲート回路で構成し、PWM信号発生手段5から供給される駆動制御信号VPWM1を所定の遅延時間 t_D だけ遅らせ、遅延時間 t_D 経過後にゲート回路を閉じて駆動制御信号VPWM1より遅延時間 t_D だけ時間遅れの駆動制御信号VPWM2をFET（電界効果トランジスタ）Q12のゲートG12に供給する。

【0049】遅延手段6による駆動制御信号VPWM1と駆動制御信号VPWM2のタイミングチャートを図4に示す。FET（電界効果トランジスタ）Q12のゲートG12に供給される駆動制御信号VPWM2は、Q11のゲートG11に供給される駆動制御信号VPWM1よりも遅延時間 t_D だけ遅延するので、この遅延時間 t_D がダイオードD21、D22のリカバリタイム τ_A よりも長く（ $t_D > \tau_A$ ）設定することにより、FET（電界効果トランジスタ）Q12のオンに伴うダイオードD21、D22の貫通電流IKを防止することができる。

【0050】このように、この発明に係る駆動制御手段2は、FETを駆動するタイミングを遅延する遅延手段6を備えたので、1個のFET（Q11）を除き他のFET（Q12）をダイオード（D21、22）のリカバリタイム τ_A 後にPWM駆動して貫通電流IKと無関係にすることができる。

【0051】図3はこの発明に係る遅延手段の別実施の形態構成図である。図3において、遅延手段7は、FET（電界効果トランジスタ）Q11のゲートG11に直列接続したゲート抵抗RG1とQ11のゲートソース間の浮遊容量CSの遅延回路で構成する。また、遅延手段7は、FET（電界効果トランジスタ）Q12のゲート

G12に直列接続したゲート抵抗RG2とQ12のゲートソース間の浮遊容量CSの遅延回路で構成する。

【0052】ゲート抵抗RG1と浮遊容量CSによる時定数 τ_1 は $RG1 \cdot CS$ 、ゲート抵抗RG2と浮遊容量CSによる時定数 τ_2 は $RG2 \cdot CS$ であり、抵抗RG1と抵抗RG2を適切に設定（ $RG2 > RG1$ ）することにより、FET（電界効果トランジスタ）Q12のゲートG12に供給する駆動制御信号VPWM2をQ11のゲートG11に供給する駆動制御信号VPWM1よりも遅延時間 t_D だけ遅延させることができる。

【0053】なお、ゲート抵抗RG1を削除（短絡）して駆動制御信号VPWM1の遅延をなくし、ゲート抵抗RG2と浮遊容量CSにより駆動制御信号VPWM2を遅延時間 t_D だけ遅延させるように構成してもよい。

【0054】図5の遅延特性図に示すように、ゲート抵抗RG1と浮遊容量CSによる駆動制御信号VPWM1の遅延時間とゲート抵抗RG2と浮遊容量CSによる駆動制御信号VPWM2の遅延時間を、FET（電界効果トランジスタ）Q11、Q12をオン状態にするゲート閾値 V_{TH} で遅延時間 t_D に設定することができる。

【0055】このように、この発明に係る遅延手段7は、個々のFETのゲート抵抗（RG1、RG2）と、ゲートソース間の浮遊容量（CS）との遅延回路で形成するので、ゲート抵抗（RG1、RG2）の値を変えるのみで遅延回路を構成することができる。

【0056】図6はダイオードのリカバリタイム期間の電動機駆動回路電圧VA特性図である。図6において、電動機駆動回路電圧VA（図1のA点）は、従来のものと比較してダイオードD21、D22を流れる貫通電流IKの影響が少なく、貫通電流IKに起因するラジオ受信機（カーラジオ）でのノイズの低減およびFET（電界効果トランジスタ）Q21、Q22の消費電力の低減を図ることができる。

【0057】なお、本実施の形態では、電動機が正回転している場合の駆動制御信号VPWMの遅延について適用する例を説明したが、電動機が逆回転している場合の駆動制御信号VPWMの遅延についても適用することができる。

【0058】また、本実施の形態では、電動機駆動回路のブリッジ回路の一边を構成するFETの数を2個の場合で説明したが、3個以上であっても本発明を適用することができる。

【0059】

【発明の効果】以上説明したように、この発明に係る車両の電動機駆動装置は、PWM駆動する1組のFETを、個々のFETに対して異なるタイミングで駆動する駆動制御手段を備え、ダイオードに貫通電流を流す原因となるPWM駆動のFETを1個に制限することができ、他のFETはダイオードのリカバリタイム後にPWM駆動することによって貫通電流を低減することができる。

るので、貫通電流に起因するラジオノイズを低減することができる。また、貫通電流の低減により、貫通電流が流れるFETの消費電力を低減することができる。

【0060】また、この発明に係る駆動制御手段は、FETを駆動するタイミングを遅延する遅延手段を備え、1個のFETを除き他のFETをダイオードのリカバリタイム後にPWM駆動して貫通電流と無関係にすることができるので、貫通電流に起因するラジオノイズの低減ならびに貫通電流が流れるFETの消費電力の低減を図ることができる。

【0061】さらに、この発明に係る遅延手段は、個々のFETのゲート抵抗と、ゲートソース間の浮遊容量との遅延回路で形成し、ゲート抵抗値を変えるのみで遅延回路を構成することができるので、遅延回路の簡略化を実現することができる。

【図面の簡単な説明】

【図1】この発明に係る車両の電動機駆動装置の実施の形態基本構成図

【図2】この発明に係る駆動制御手段の実施の形態要部ブロック構成図

【図3】この発明に係る遅延手段の別実施の形態構成図

【図4】駆動制御信号VPWM1と駆動制御信号VPWM2のタイミングチャート

【図5】遅延特性図

【図6】ダイオードのリカバリタイム期間の電動機駆動回路電圧VA特性図

【図7】従来の車両の電動機駆動装置に用いられる電動機駆動回路図

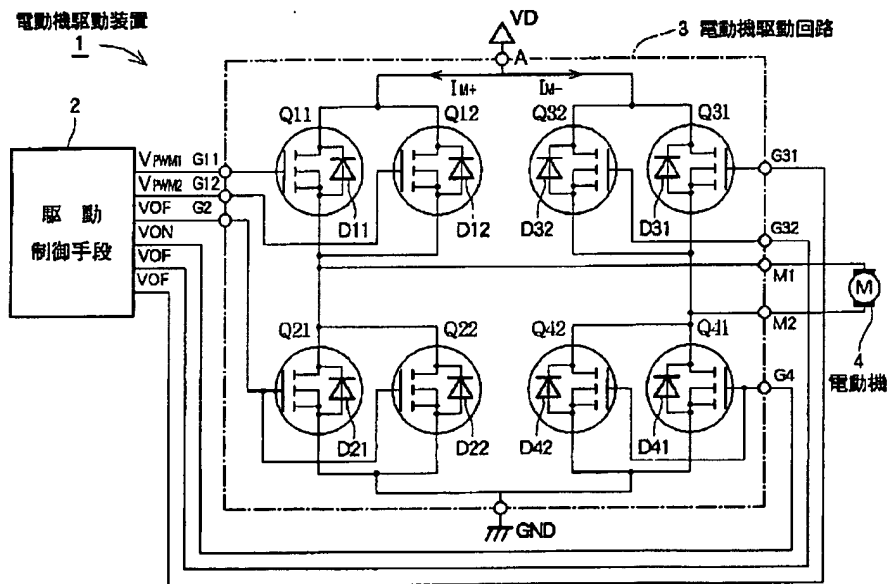
【図8】従来の電動機駆動回路の駆動制御信号（VPWM、VON）と回生電流（IS）および貫通電流（IK）のタイミングチャート

【図9】図8に対応した電動機駆動回路の等価回路

【符号の説明】

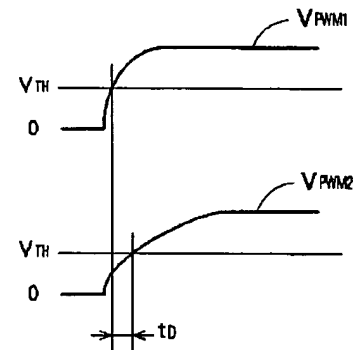
1…電動機駆動装置、2…駆動制御手段、3…電動機駆動回路、4…電動機、5…PWM信号発生手段、6、7…遅延手段。

【図1】

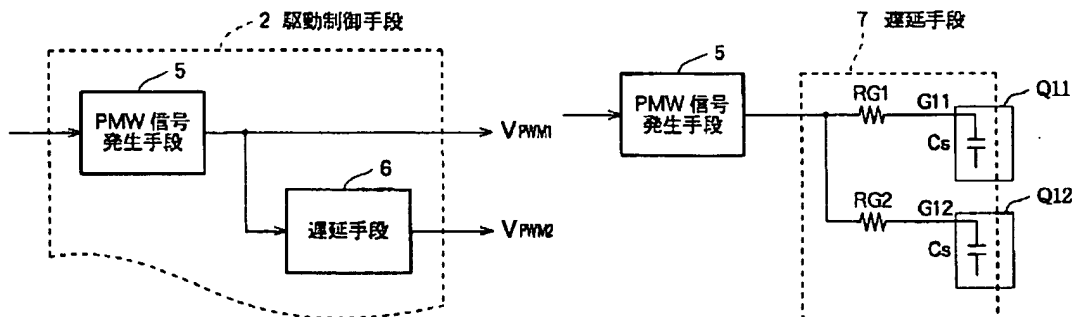


【図2】

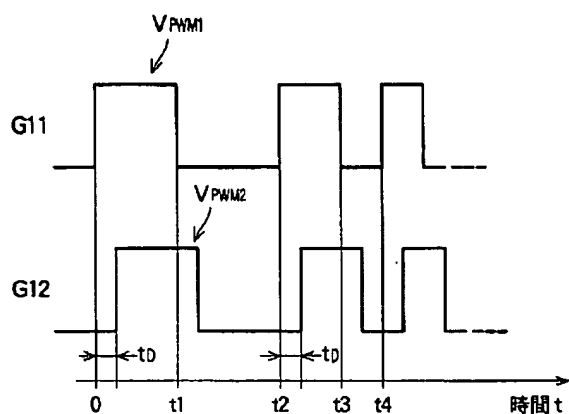
【図5】



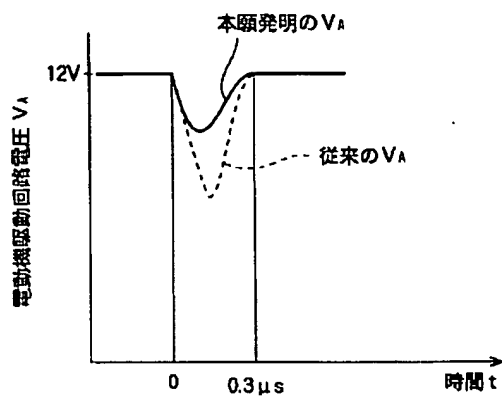
【図3】



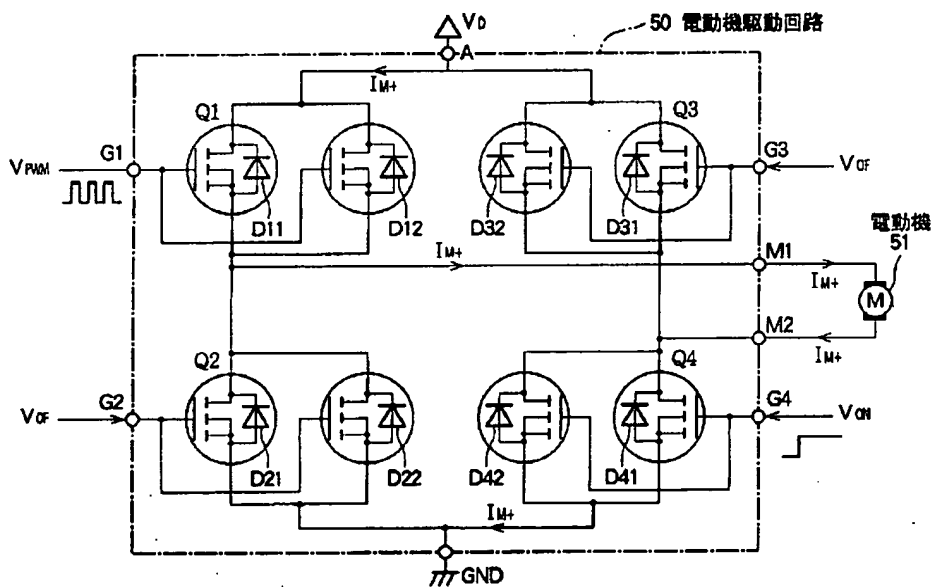
【図 4】



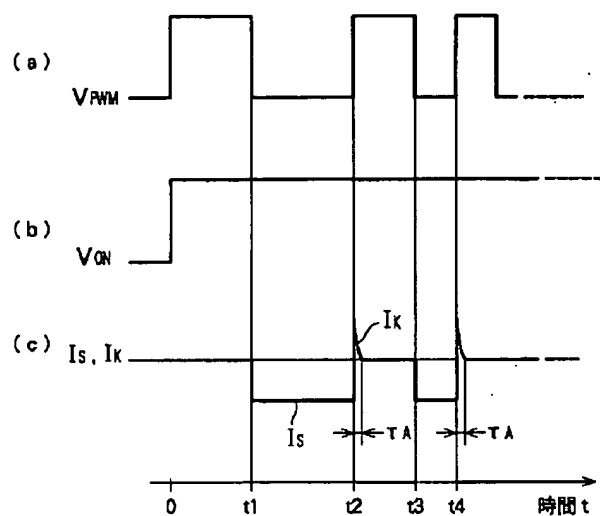
【图6】



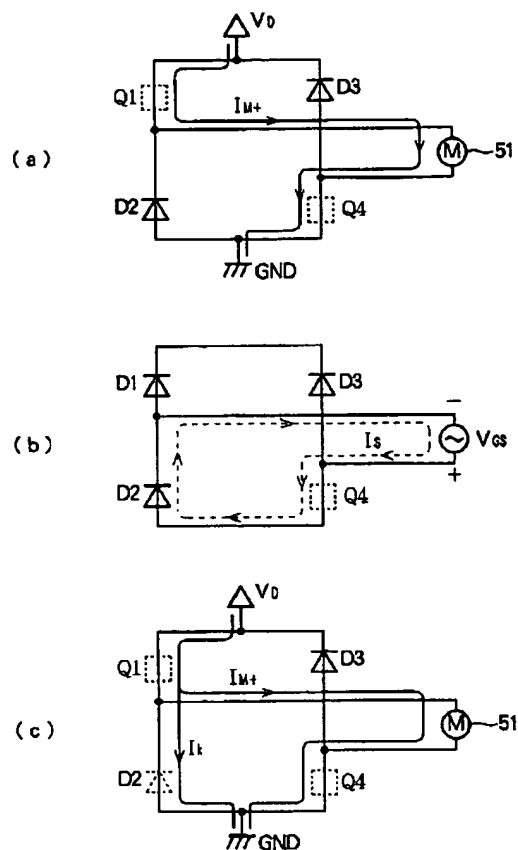
【图 7】



【図 8】



【図 9】



フロントページの続き

Fターム(参考) 3D033 CA03

5H115 AA03 AA08 BA06 BB04 BC05

CA02 CB03 CB24 FA12 FA22

FA23 FA24

5H571 AA02 BB02 BB05 EE02 HA09

HD02 JJ18 JJ22 JJ23 JJ24